

⑥ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 平3-173471

⑩ Int. Cl. 3 識別記号 行内整理番号 ⑬ 公開 平成3年(1991)7月26
 H 01 L 27/118 D 6921-5E
 H 05 K 3/00 8225-5F H 01 L 21/82 M
 署査請求 未請求 需求項の数 1 (全4頁)

④ 発明の名称 マスクスライス方式LSIの配線構造

② 特願 平1-312541

② 出願 平1(1989)12月1日

③ 第明者 多和田 茂芳 東京都港区芝5丁目33番1号 日本電気株式会社内
 ④ 第明者 水牧 俊博 石川県石川郡鶴来町安養寺1番地 北陸日本電気ソフト
 エア株式会社内
 ⑤ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号
 ⑥ 出願人 北陸日本電気ソフトウエア株式会社 石川県石川郡鶴来町安養寺1番地
 ⑦ 代理人 弁理士 河原 純一

明細書

1. 発明の名称

マスクスライス方式LSIの配線構造

2. 特許請求の範囲

垂直方向および水平方向の配線格子が定義された第1の配線層および第2の配線層と、

これら第1の配線層および第2の配線層に定義された垂直方向および水平方向の配線格子の各格子点の対角を結ぶ斜めの配線格子が定義された第3の配線層と

を有することを特徴とするマスクスライス方式LSIの配線構造、

3. 発明の詳細な説明

(産業上の利用分野)

本発明はマスクスライス方式LSIの配線構造に関し、特に配線工程以前のマスクを共通とし配線に関するマスクのみを品種ごとに設計製作して

LSIを作成するマスクスライス方式LSIの構

從来、この種のマスクスライス方式LSIの配線構造では、すべての配線層の配線格子が垂直方向および水平方向に定義されていた(参考文献:「論理回路のCAD」、情報処理学会、昭和56年3月20日発行)。

いま、第2図に示すように、垂直方向格子間隔および水平方向格子間隔とともにとしたときに配線ネットの端子L1および端子L2間の配線長が高速動作を必要とするLSIの遅延時間等の制約を満足するために8d以内であるという制限がある場合を例にとって説明すると、端子L1および端子L2間を結ぶ直線の角度が0度または30度に近いものから順に第1の配線層L1および第2の配線層L2を用いて配線する配線処理を行った結果、第3図に示すように、配線層L1と配線層L1'によって端子L1および端子L2間の配線が迂回させられ、配線層L2の配線経路L2-L1が得られたときに、従来のマスクスライス

特開平3-173471(2)

該経路 111 および 112 を得ることにより、制限を満たす配線長 d_4 の配線経路 211 を得ていた。

(発明が解決しようとする課題)

上述した従来のマスクスライス方式 LSI の配線構造では、高速動作を必要とする LSI の遅延時間等の制約を満足するために設定された配線層に制限がある配線ネットの配線において配線処理後にその制限が満たされなかった場合に、制限を満たすようにするために他の配線を移動させて配線の修正を行う必要があったので、配線の修正に多大な工数を要するという欠点がある。

また、配線の修正を行っても配線層の制限を満たすことができなかつた場合には、ブロックの配置修正等を行って配線処理をやり直す必要があり、さらに処理時間が増大するという欠点がある。

本発明の目的は、上述の点に鑑み、第 1 の配線層および第 2 の配線層に定義された垂直方向および水平方向の配線格子の各格子点の対角を結ぶ斜めの配線格子が定義された第 3 の配線層を利用して配線層を利用

して、他の配線を移動したりブロックの配線位置を変更したりすることなしに、比較的容易に配線層の調整を行うことができるマスクスライス方式 LSI の配線構造を提供することにある。

(課題を解決するための手段)

本発明のマスクスライス方式 LSI の配線構造は、垂直方向および水平方向の配線格子が定義された第 1 の配線層および第 2 の配線層と、これら第 1 の配線層および第 2 の配線層に定義された垂直方向および水平方向の配線格子の各格子点の対角を結ぶ斜めの配線格子が定義された第 3 の配線層とを有する。

(作用)

本発明のマスクスライス方式 LSI の配線構造では、第 1 の配線層および第 2 の配線層に垂直方向および水平方向の配線格子が定義され、第 3 の配線層に第 1 の配線層および第 2 の配線層に定義された垂直方向および水平方向の配線格子の各格子点の対角を結ぶ斜めの配線格子が定義される。

(実施例)

次に、本発明について図面を参照して詳細に説明する。

第 1 図は、本発明の一実施例に係るマスクスライス方式 LSI の配線構造を示す図である。本実施例のマスクスライス方式 LSI の配線構造は、垂直方向および水平方向の配線格子が定義された第 1 の配線層 1 および第 2 の配線層 2 と、第 1 の配線層 1 および第 2 の配線層 2 に定義された垂直方向および水平方向の配線格子の各格子点の対角を結ぶ斜めの配線格子が定義された第 3 の配線層 3 とから構成されている。

次に、このように構成された本実施例のマスクスライス方式 LSI の配線構造における配線路接続について、第 2 図～第 4 図を参照しながら具体的に説明する。

第 2 図に示すように、垂直方向格子間隔および水平方向格子間隔とともに d としたときに配線ネットの端子 11 および端子 12 間の配線長が高速動作を必要とする LSI の遅延時間等の制約を満足するため $8d$ 以内であるという制限がある場合

を例にとって説明すると、端子 11 および端子 12 間を結ぶ直線の角度が 0 度または 90 度に近いものから順に第 1 の配線層 1 および第 2 の配線層 2 を用いて配線する配線処理を行った結果、第 3 図に示すように、配線経路 111 と配線経路 112 によって端子 11 および端子 12 間の配線が迂回させられ、配線長 126 の配線経路 231 が得られたときに、第 4 図に示すように、配線経路 111 および 112 を修正せずに、端子 11 および端子 12 の位置に第 1 の配線層 1 および第 3 の配線層 3 間のスルーホール 231 および 232 を穿設し、端子 11 および端子 12 間を第 3 の配線層 3 を用いて斜めの配線を行うことにより、制限を満たす配線長

$$z = \sqrt{(4d)^2 + (4d)^2} \\ = 4\sqrt{2} d$$

の配線経路 221 を得ることができる。

(発明の効果)

以上説明したように本発明は、高速動作を必要とする LSI の遅延時間等の制約を満足するため

特開平3-173471(3)

に監定された配線層の端限に対して第1の配線層および第2の配線層を用いて配線処理を行った後に制限を満たしていない配線を制限を満たすようにするために第3層の配線層を利用することにより、他の配線を移動したりブロックの配線位置を変更したりすることなしに、比較的容易に配線層の調整を行うことができる効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例に係るマスタスライス方式し51の配線構造を示す図、

第2図は配線ネットの端子ペアの一例を示す図、

第3図は第1の配線層および第2の配線層を用いた配線処理後の配線例を示す図、

第4図は第3の配線層を用いて入手修正を行った後の配線例を示す図、

第5図は第1の配線層および第2の配線層を用いて入手修正を行った後の配線例を示す図である。

図において、

1・・・第1の配線層、

2・・・第2の配線層、

3・・・第3の配線層、

101, 102, 221・既存端子、

231, 232・スルーホール、

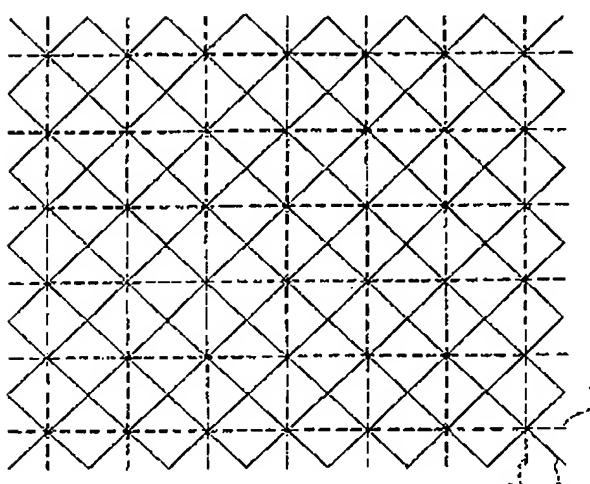
11, 12・端子である。

特許出願人 日本電気株式会社

北陸日本電気ソフトウェア株式会社

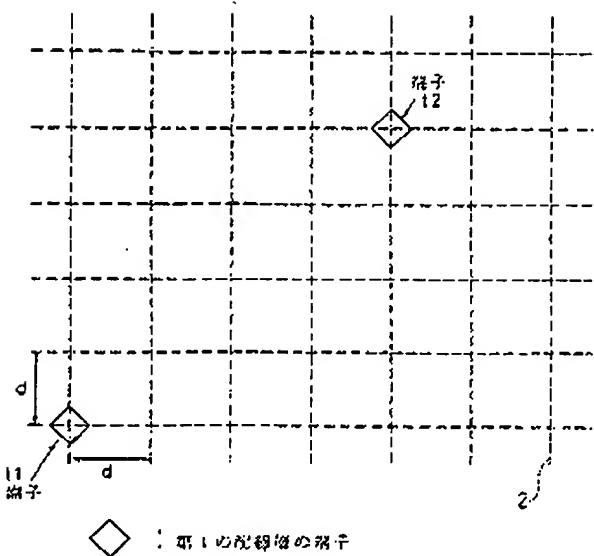
代理人 弁理士 何 関 純一

第1図



-+ : 第1の配線層および第2の配線層に定義された配線格子
X : 第3の配線層に定義された配線格子

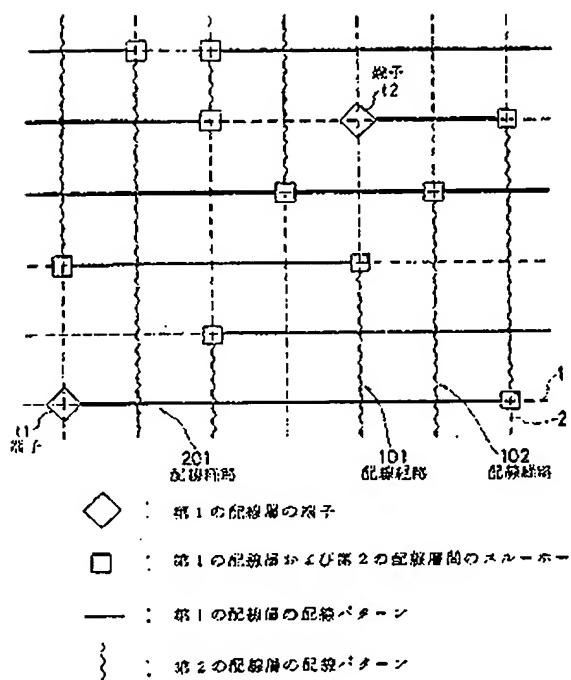
第2図



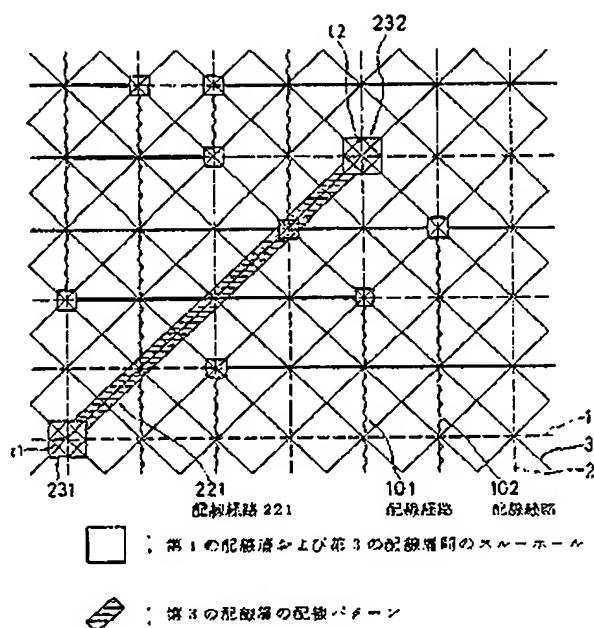
◇ : 第1の配線層の端子

特開平3-173471 (4)

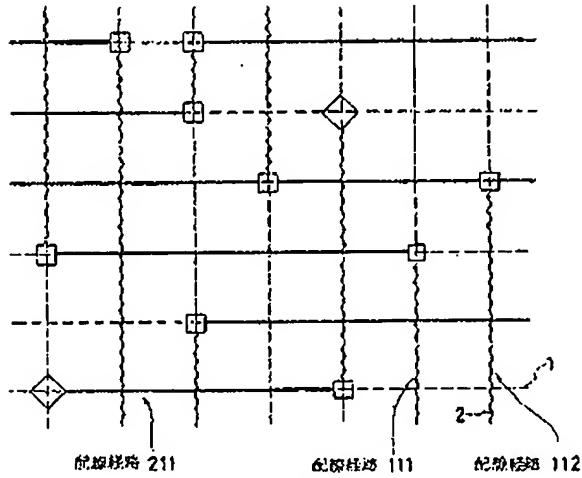
第3図



第4図



第5図



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-173471

(43)Date of publication of application : 26.07.1991

(51)Int.Cl.

H01L 27/118
H05K 3/00

(21)Application number : 01-312541

(71)Applicant : NEC CORP

HOKURIKU NIPPON DENKI
SOFTWARE KK

(22)Date of filing : 01.12.1989

(72)Inventor : TAWADA SHIGEYOSHI
MIZUMAKI TOSHIHIRO

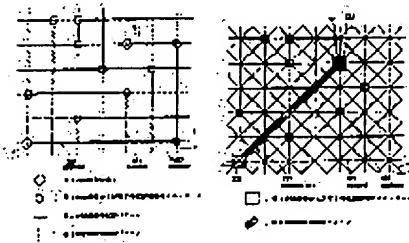
(54) WIRING STRUCTURE OF MASTER SLICE SYSTEM LSI

(57)Abstract:

PURPOSE: To comparatively easily adjust wiring length by arranging a first and a second wiring layer wherein a vertical and a horizontal wiring lattice are defined and a third wiring layer wherein a wiring lattice connecting diagonal lines of both lattices is defined.



CONSTITUTION: When both of the lattice intervals in the vertical and the horizontal directions are (d), the wiring length between the terminals t_1 and t_2 of a wiring network is shorter than or equal to $8d$, in order to satisfy restrictions like the delay time of an LSI required for high speed operation. When wiring process is performed by using a first and a second wiring layer 2 in accordance with the order that the angle of the line connecting the terminals t_1 and t_2 is approximate to 0° or 90° , the wiring between the terminal t_1 and t_2 is detoured by wiring routes 101 and 102, and a wiring route 201 of a length $12d$ is obtained. On the other hand, by constituting an oblique wiring between the terminals t_1 and t_2 by using the layer 3, a wiring route 221 of a length $l=4.22/1d$ can be obtained as follows, the wiring routes 101 and 102 are not corrected, and through holes 231 and 232 between the first and the this wiring 1, 3 are arranged at the positions of the terminals t_1 and t_2 .



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) Japanese Patent Office (JP)

(12) UNEXAMINED PATENT APPLICATION GAZETTE (A)

(11) Unexamined Patent Application Publication [KOKAI] No. H3-173471 [1991]

(43) KOKAI Date: July 26, 1991

| (51) Int. Cl. ⁵ | I.D. Symbol | Intern. Ref. No. | |
|----------------------------|-------------|------------------|----------------|
| H 01 L 27/118 | D | 6921-5E | |
| H 05 K 3/00 | | 8225-5F | H 01 L 21/82 M |

Examination Request Status: Not yet requested

Number of Claims: 1 (Total 4 pages [in orig.])

(54) Title of Invention

Master Slice LSI Wiring Structure

(21) Patent Application No. H1-312541 [1989]

(22) Filing Date: December 1, 1989

(72) Inventor Shigeyoshi Tawada

c/o NEC Corporation

5-33-1 Shiba, Minato-ku, Tokyo

(72) Inventor Toshihiro Mizumaki

c/o Hokuriku NEC Software , Ltd.

1 Anyoji, Tsurugi-cho, Ishikawa-gun, Ishikawa

(71) Applicant NEC Corporation

5-7-1 Shiba, Minato-ku, Tokyo

(71) Applicant Hokuriku NEC Software, Ltd.

1 Anyoji, Tsurugi-cho, Ishikawa-gun, Ishikawa

(74) Agent

Junichi Kawahara, patent attorney

Specification

1. Title of Invention

Master Slice LSI Wiring Structure

2. Claims

A master slice LSI wiring structure comprising:

a first wiring layer and a second wiring layer for which vertical-direction and horizontal-direction wiring lattice members are defined; and

a third wiring layer for which diagonal wiring lattice members are defined which join diagonals of vertical-direction and horizontal-direction lattice points defined in said first wiring layer and second wiring layer.

3. Detailed Description of Invention

[Field of the Invention]

This invention concerns a master slice LSI wiring structure, and more particularly concerns a master slice LSI wiring structure for producing LSIs, wherewith, using common masks prior to the wiring step, only masks pertaining to the wiring are designed and fabricated individually for each product type.

[Prior Art]

Conventionally, in this type of master slice LSI wiring structure, all of the wiring lattice members in the wiring layers are defined in the vertical direction and horizontal direction (cf. "Ronri Sochi no CAD [Logic Device CADs]", Joho Shori Gakkai (Japan Society for Information Processing), March 20, 1981).

A case is now described wherein, as diagrammed in Fig. 2, when both the vertical direction lattice member interval and the horizontal direction lattice member interval are made d , and the wiring length between the terminals t_1 and t_2 in the wiring network is limited to $8d$ or less in order to satisfy restrictions such as the LSI delay time required for high-speed operation, as a result of implementing a wiring process that does the wiring using the first wiring layer 1 and the second wiring layer 2 sequentially from an angle of the straight line connecting the terminals t_1 and t_2 that is near either 0 or 90 degrees, the wiring between the terminals t_1 and t_2 is made circuitous by wiring paths 101 and 102, as diagrammed in Fig. 3, yielding the wiring path 201 having a wiring length of $12d$, whereupon, with the conventional master slice LSI wiring structure, as diagrammed in Fig. 5, the wiring paths 101 and 102 are altered manually to yield wiring paths 111 and 112, whereby the wiring path 211 having a wiring length of $8d$ which

satisfies the restriction is obtained.

[Problems Which the Present Invention Attempts to Solve]

With the conventional master slice LSI wiring structure described in the foregoing, if, after the wiring process in wiring a wiring net wherein a limitation is placed on the wiring length in order to satisfy a restriction such as the LSI delay time required for high-speed operation, that limitation has not been met, it is necessary to alter the wiring, moving other wiring, in order to satisfy the limitation. Many steps are required for such alteration, which constitutes a shortcoming.

Furthermore, in cases where the wiring length limitation cannot be met even after the wiring has been altered, it is necessary to redo the wiring process, performing block placement alterations, etc., resulting in a further increase in processing time, which is a shortcoming.

In view of these shortcomings, an object of the present invention is to provide a master slice LSI wiring structure wherewith, using a third wiring layer for which diagonal wiring lattice members are defined which join diagonals of vertical-direction and horizontal-direction lattice points defined by the first wiring layer and the second wiring layer, wiring lengths can be adjusted with comparative ease, without moving the other wiring or changing block placement positions.

[Means Used to Solve the Abovementioned Problems]

The master slice LSI wiring structure of the present invention comprises: a first wiring layer and a second wiring layer for which vertical-direction and horizontal-direction wiring lattice members are defined; and a third wiring layer for which diagonal wiring lattice members are defined which join diagonals of vertical-direction and horizontal-direction lattice points defined in the first wiring layer and second wiring layer.

[Operation]

In the master slice LSI wiring structure of the present invention, vertical direction and horizontal direction wiring lattice members are defined in the first wiring layer and the second wiring layer, and diagonal wiring lattice members are defined in the third wiring layer, which diagonal wiring lattice members join the diagonals of the lattice points of the horizontal direction and vertical direction wiring lattice members defined in the first wiring layer and the second wiring layer.

[Embodiments]

The present invention is now described in detail, making reference to the drawings.

Fig. 1 is a diagram of a master slice LSI wiring structure in one embodiment of the present invention. The master slice LSI wiring structure in this embodiment comprises: a first wiring layer and a second wiring layer 2 for which vertical-direction and horizontal-direction

wiring lattice members are defined; and a third wiring layer 3 for which diagonal wiring lattice members are defined which join diagonals of vertical-direction and horizontal-direction lattice points defined in the first wiring layer 1 and second wiring layer 2.

The process of implementing the wiring in the master slice LSI wiring structure in this embodiment, configured as stated, is now described specifically, with reference to Fig. 2 to 4.

The case is [again] described wherein, as diagrammed in Fig. 2, when both the vertical direction lattice member interval and the horizontal direction lattice member interval are made d , and the wiring length between the terminals t_1 and t_2 in the wiring network is limited to $8d$ or less in order to satisfy restrictions such as the LSI delay time required for high-speed operation, as a result of implementing a wiring process that does the wiring using the first wiring layer 1 and the second wiring layer 2 sequentially from an angle of the straight line connecting the terminals t_1 and t_2 that is near either 0 or 90 degrees, the wiring between the terminals t_1 and t_2 is made circuitous by wiring paths 101 and 102, as diagrammed in Fig. 3, yielding the wiring path 201 having a wiring length of $12d$, whereupon, as diagrammed in Fig. 4, without altering the wiring paths 101 and 102, through holes 231 and 232 are opened between the first wiring layer 1 and the third wiring layer 3 at the positions of the terminals t_1 and t_2 , [respectively,] and diagonal wiring is implemented between terminal t_1 and terminal t_2 using the third wiring layer 3, thereby obtaining a wiring path 221 having a wiring length equal to

$$\begin{aligned}L &= \sqrt{(4d)^2 + (4d)^2} \\&= 4\sqrt{2}d\end{aligned}$$

which meets the limitation.

[Benefits of Invention]

After wiring processing has been performed using a first wiring layer and a second wiring layer, and there exists wiring that does not meet a wiring length limitation established to satisfy a restriction such as an LSI delay time required for high-speed operation, the present invention, as described in the foregoing, employs a third wiring layer to make that wiring meet that limitation, thereby making it possible to adjust wiring lengths with comparative ease without moving the other wiring or altering block placement positions.

4. Brief Description of Drawings

Fig. 1 is a diagram of a master slice LSI wiring structure in one embodiment of the present invention;

Fig. 2 is a diagram of one example of a pair of terminals in a wiring network;

Fig. 3 is a diagram of an example of wiring after the implementation of a wiring process using a first wiring layer and a second wiring layer;

Fig. 4 is a diagram of an example of wiring after a manual alteration using a third wiring

layer; and

Fig. 5 is a diagram of an example of wiring after performing a manual alteration using a first wiring layer and a second wiring layer.

The following reference characters are used in the drawings.

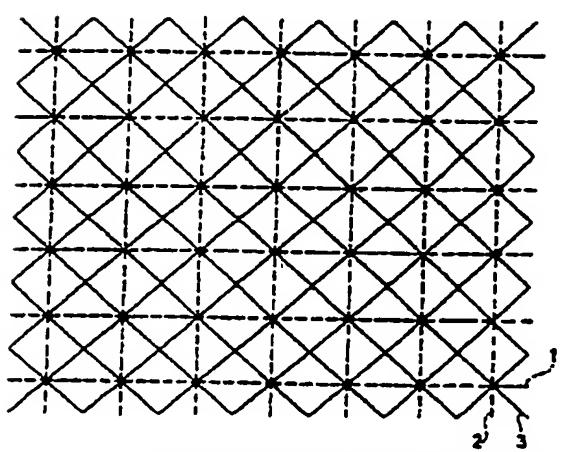
- 1 First wiring layer
- 2 Second wiring layer
- 3 Third wiring layer
- 101, 102, 221 Wiring paths
- 231, 232 Through holes
- t1, t2 Terminals

Patent Applicants NEC Corporation

 Hokuriku NEC Software, Ltd.

Agent Junichi Kawahara, patent attorney

Figure 1



—+— : Wiring lattice defined in first wiring layer
X : Wiring lattice defined in third wiring layer

Figure 2

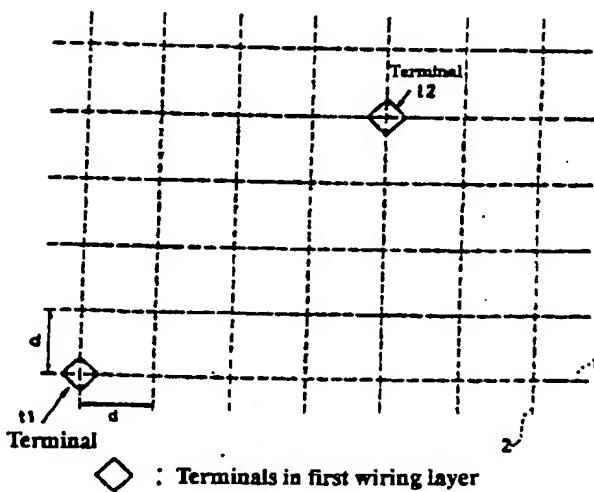


Figure 3

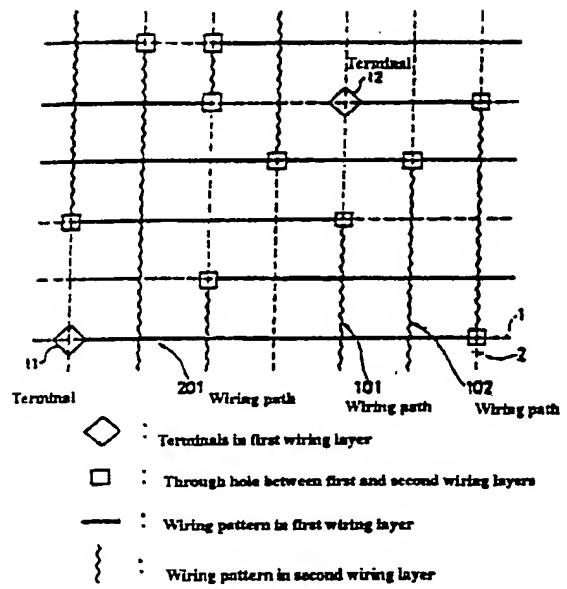


Figure 4

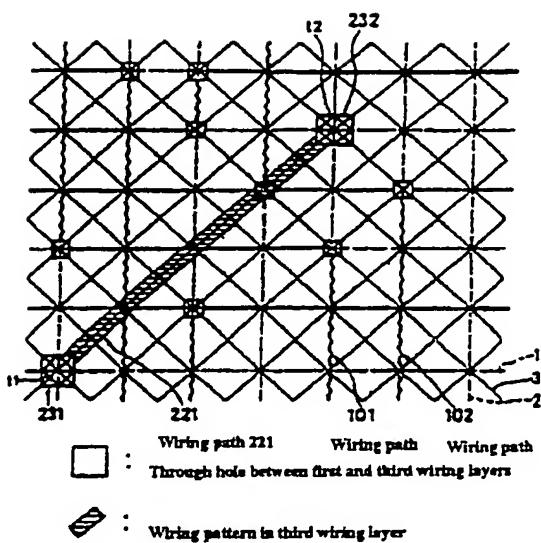
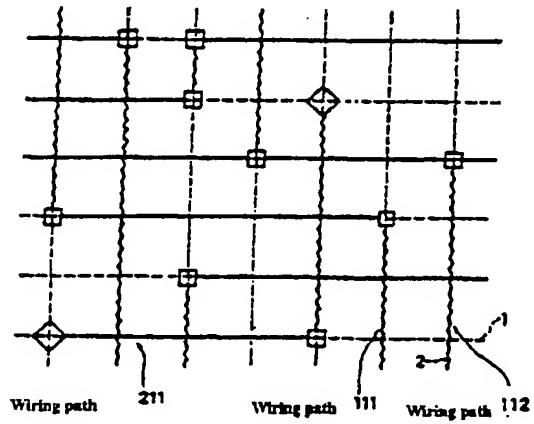


Figure 5



[Translator's Notes]

1. The original term koushi, usually translated "lattice" (and sometimes "grating" or "grid") is herein translated "lattice member" because the English word "lattice" refers to the entire lattice and never to its constituent elements or "members" as is apparently intended here.
2. The term haisen, as used in microchip technology, may also be translated "interconnect," but is translated by the more common "wiring" herein to avoid confusion.
3. The original language [A] ni teigi sareta [B], which occurs frequently in the text, is ambiguous. I have translated it "B defined in A," but it could also mean "B defined by A."